



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kowalski, et al. Docket No.: INF-132
Serial No.: 10/766,902 Art Unit: 2818
Filed: January 30, 2004 Examiner: TBD
For: Test Structure for Improved Vertical Memory Arrays

Certificate of Mailing via First Class Mail (37 C.F.R. § 1.8(a))

Date of Deposit: November 11, 2004

I hereby certify that the below listed correspondence is being deposited with the United States Postal Service on the date indicated above as first class mail in an envelope addressed to: Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450.

Certificate of Mailing via First Class Mail (1 page)
Transmittal of Certified Copy of Priority Document (1 page)
Certified Copy of DE 103 03 963.5
Return Postcard

Respectfully submitted,

Natalie Swider
Legal Assistant

Slater & Matsil, L.L.P.
17950 Preston Rd., Suite 1000
Dallas, TX 75252
Tel: 972-732-1001
Fax: 972-732-9218



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kowalski, et al. Attorney Docket: INF-132
Filed: January 30, 2004 Examiner: TBD
Serial No.: 10/766,902 Art Unit: 2818
For: Test Structure for Improved Vertical Memory Arrays

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Transmittal of Certified Copy of Priority Document

Dear Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: Germany
Application Number: 103 03 963.5
Filing Date: January 31, 2003

Respectfully submitted,

Ira S. Matsil
Reg. No. 35,272
Attorney for Applicants

Slater & Matsil, L.L.P.
17950 Preston Rd., Suite 1000
Dallas, TX 75252
Tel: 972-732-1001
Fax: 972-732-9218

BUNDESREPUBLIK DEUTSCHLAND

**CERTIFIED COPY OF
PRIORITY DOCUMENT**



BEST AVAILABLE COPY

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 03 963.5

Anmeldetag: 31. Januar 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Integrierte Schaltungsanordnung

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 23. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12241

Ko/Ant/mk

Anmelderzeichen: 2002P08851 DE
(2002 E 08050 DE)

31.01.2003

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

Integrierte Schaltungsanordnung

Beschreibung

Integrierte Schaltungsanordnung

- 5 Die Erfindung betrifft eine integrierte Schaltungsanordnung mit einem Transistorarray aus vertikalen Auswahltransistoren, die in die Tiefe eines Substrats hinein in Form paralleler und in Lateralrichtung der Schaltungsanordnung laufender aktiver Stege aus Halbleitermaterial gebildet sind und deren
- 10 Drainanschlüsse durch unter den aktiven Stegen vergrabene leitende Streifen und deren Gates durch einen an der Seite der aktiven Stege vertikal geätzten Spacer gebildet sind, wobei die vergrabenen Streifen jeweils Kontakt zu einer E-
- 15 lektrode eines Speicherkondensators eines dem Transistorarray zugeordneten Speicherzellenarrays herstellen und der vertikal geätzte Spacer gleichzeitig eine Wortleitung für die Speicherzellen des Speicherzellenarrays bildet und wobei jeder Speicherkondensator in einem tiefen Graben gebildet ist, der jeweils einen den vertikalen Auswahltransistor enthaltenden
- 20 Abschnitt des aktiven Stegs stirnseitig begrenzt und der mit leitendem Elektrodenmaterial gefüllt ist.

Eine integrierte Schaltungsanordnung mit den oben genannten Merkmalen ist aus US 5 519 236 bekannt.

- 25 Die andauernde Tendenz, Halbleiterspeicheranordnungen, wie DRAMs immer weiter zu verkleinern, hat dazu geführt, dass man die Speicherkondensatoren der Speicherzellen und die zugehörigen Transistoren als vertikale Elemente in die Tiefe des
- 30 Halbleitersubstrats hineinbaut. Auf diese Weise tragen die vertikalen Auswahltransistoren, die zugeordnet zu dem Speicherzellenarray als Transistorarray implementiert sind, dazu bei, dass Halbleiterspeicheranordnungen mit einer Geometrie der Speicherzelle von annähernd $F = 70 \text{ nm}$ und kleiner realisiert und gleichzeitig die Leistungsfähigkeit der Auswahl-
- 35 transistoren beibehalten werden konnten.

Die beiliegende Fig. 1 zeigt schematisch einen Querschnitt durch einen Abschnitt der bekannten integrierten Schaltungsanordnung und zwar durch einen der die aktiven Halbleiterbereiche bildenden aktiven Stege. In einem entsprechenden Prozess werden in den mit Silizium ausgefüllten aktiven Stegen Bulk-, Source- und Drainelektroden der FET-Auswahltransistoren gebildet. In Fig. 1 sind zwei benachbarte Transistorabschnitte der FET-Auswahltransistoren ersichtlich, die in den aktiven Stegabschnitten einen n^+ -Sourcebereich 1, einen Kanal bildenden p-Bereich 2 und eine mittels eines vergrabenen Streifens gebildete n^+ -Drainelektrode 3 aufweisen. In Fig. 1 sind weiterhin zwei in einem tiefen Graben gebildete Speicherkondensatoren gezeigt, die jeweils durch eine Kondensatorelektrode 6 (zum Beispiel aus Polysilizium) und ein isolierendes Dielektrikum 9 dargestellt sind. Die Kondensatorelektrode 6 der Speicherkondensatoren steht über einen leitenden Abschnitt 7 mit der Drainelektrode 3 (vergrabener Streifen) des zugeordneten Auswahltransistors in Kontakt. Fig. 1 zeigt ferner Isolierschichten 8, 8a, 8b jeweils zur Isolation der stirnseitigen Abschnitte 5a von umlaufenden Gateelektrodenstreifen gegen die den Kanal bildenden p-Bereiche 2 und die Drainelektrode 3 einerseits und gegen den leitenden Kondensatorelektrodenabschnitt 6 andererseits. Der Gateelektrodenstreifen, der sich an den Seiten des aktiven Stegs befindet und von dem in Fig. 1 lediglich der quer laufende Abschnitt 5a ersichtlich ist, dient gleichzeitig als Wortleitung für das dem Transistorarray zugeordnete Speicherzellenarray. Ferner dient die in Fig. 1 als Deckschicht dargestellte Sourceelektrode 1 zur Herstellung eines Sourceanschlusses der vertikalen FET-Transistoren mit einer zugeordneten (nicht gezeigten) Bitleitung.

Da der Prozess der Herstellung einer derartigen integrierten Schaltungsanordnung mit einem Transistorarray aus vertikalen FET-Transistoren und vertikal in tiefen Gräben realisierten Speicherkondensatoren neu ist, müssen bei der Waferprozessie-

5 rung und auch generell eine Aussage über die bzw. eine Bewertung der Eigenschaften und Kennwerte der Auswahltransistoren insbesondere hinsichtlich Leckströmen an verschiedenen Halbleiterübergängen, Kapazitäten/Überlappkapazitäten zwischen verschiedenen Schaltungsabschnitten getroffen und außerdem Stresstests zur Bewertung der Zuverlässigkeit durchgeführt werden. Außer den Leckströmen müssen auch andere Parameter charakterisiert werden können.

10 Es ist somit Aufgabe dieser Erfindung, eine Teststruktur für eine gattungsgemäße integrierte Schaltungsanordnung zu ermöglichen, die eine Aussage über die bzw. eine Erfassung verschiedener Kennwerte der vertikalen FET-Transistoren insbesondere eine Messung von Leckströmen und Kapazitäten an Über-
15 gängen der Source- und Drainelektroden und an anderen Schnittstellen gestattet. Eine derartige Teststruktur muss, um die vergrabenen Strukturen messen zu können, über separate Zuleitungen einen Zugang zur Unterseite der Auswahltransistoren schaffen. Stromloser und stromtragender Zugang müssen
20 separat vorhanden sein. Die besonderen Anforderungen des neuen Prozesses hinsichtlich des Wortleitungskonzepts, der Bildung vergrabener Streifen und der aktiven Stege müssen erfüllt werden.

25 Die obige Aufgabe wird anspruchsgemäß gelöst.

Gemäß einem wesentlichen Aspekt der Erfindung ist in die integrierte Schaltungsanordnung eine Teststruktur integriert, die zur gemeinsamen Verbindung der Drainanschlüsse einer
30 Mehrzahl solcher vertikaler Auswahltransistoren als erste Verbindungsmittel jeweils zwischen zwei benachbarten seitlich versetzten Auswahltransistoren diagonal ausgedehnte und mit dem leitenden Elektrodenmaterial gefüllte tiefe Gräben aufweist, wobei der dort vorhandene vergrabene Streifen die
35 Drainelektroden der benachbarten vertikalen Auswahltransisto-

ren an der Überschneidung der BS-Streifenform mit dem ausge-
dehnten tiefen Graben bildet.

5 Bevorzugt weist die Teststruktur zweite Verbindungsmittel zur
gemeinsamen Verbindung der Sourceelektroden der durch die
Teststruktur umfassten Auswahltransistoren auf, und die zwei-
ten Verbindungsmittel enthalten bevorzugt Bitleitungskontakte
und Bitleitungen der von der Teststruktur umfassten vertika-
len Auswahltransistoren.

10

Bei einer Ausführungsform der erfindungsgemäßen Teststruktur
sind zwei benachbarte Auswahltransistoren um jeweils eine
Zelleneinheit oder um mehrere Zelleneinheiten seitlich ver-
setzt, und jeweils ein tiefer Graben ist diagonal zwischen
15 jeweils zwei seitlich versetzten vertikalen Auswahltransisto-
ren ausgedehnt.

20

Bei einer anderen Ausführungsform der erfindungsgemäßen Test-
struktur sind eine Vielzahl von vertikalen, jeweils seitlich
versetzten Auswahltransistoren durch die diagonal ausgedehn-
ten tiefen Gräben kettenförmig miteinander verbunden und es
können mehrere solche Ketten vorhanden sein. Dabei ist es zu
bevorzugen, dass die jeweilige Anzahl der miteinander verbun-
denen Auswahltransistoren der einzelnen Ketten deutlich un-
terschiedlich ist. Die jeweils am weitesten außen links und
rechts jeder Kette liegenden Transistoren ermöglichen über
die ersten und zweiten Verbindungsmittel den Zugang zu den zu
testenden dazwischen liegenden Auswahltransistoren.

30

Die eine derartige Teststruktur aufweisende erfindungsgemäße
integrierte Schaltungsanordnung kann auf einem Wafer separat
zwischen den eigentlichen Chips (zwischen den herzustellenden
Produkten) mit demselben Prozess gebaut werden.

35

Die obigen und weitere vorteilhafte Merkmale werden in der
nachfolgenden, sich auf die beiliegenden Zeichnungsfiguren

beziehenden Beschreibung näher erläutert. Die Zeichnungsfiguren zeigen im Einzelnen:

5 Fig. 1 den bereits erläuterten schematischen Querschnitt durch einen Abschnitt einer vertikale FET-Transistoren und in tiefen Gräben gebildete Speicherkondensatoren aufweisenden integrierten Schaltungsanordnung;

10 Fig. 2A eine schematische Aufsicht eines Abschnitts eines ersten Ausführungsbeispiels einer erfindungsgemäßen Teststruktur, die jeweils zwei seitlich versetzte vertikale Auswahltransistoren durch einen diagonal zwischen ihnen ausgedehnten tiefen Graben verbindet;

15

20 Fig. 2B eine Querschnittsansicht längs der durch Pfeile angedeuteten Schnittlinie E-A der Fig. 2A, wobei zwei vertikale Auswahltransistoren ersichtlich sind, die Rücken an Rücken durch einen dazwischen ausgebildeten diagonal ausgedehnten tiefen Graben verbunden sind;

25 Fig. 2C schematisch ein Ersatzschaltbild mit diskreten Elementen des in den Fig. 2A und 2B dargestellten Abschnitts der Teststruktur, wobei Verbindungsmöglichkeiten der durch den diagonal ausgedehnten tiefen Graben miteinander verbundenen vertikalen Auswahltransistoren veranschaulicht sind;

30

35 Fig. 3A eine schematische Aufsicht einer Teststruktur gemäß einem zweiten Ausführungsbeispiel, die beispielhaft zehn Transistoren als Testobjekte (DUT) miteinander verbindet, und

Fig. 3B ein Ersatzschaltbild mit diskreten Elementen des in Fig. 3A gezeigten zweiten Ausführungsbeispiels der erfindungsgemäßen Teststruktur.

5 In der in Fig. 2A gezeigten schematischen Aufsicht verbindet eine erfindungsgemäße Teststruktur jeweils zwei benachbarte und seitlich versetzte vertikale FET-Auswahltransistoren. Gezeigt sind von links nach rechts mehrere vertikale aktive Stege AT, die zu beiden Seiten jeweils Wortleitungen WL auf-
10 weisen, horizontal parallel laufende Bitleitungen BL und vergrabene leitende Streifen BS, die dort gebildet sind, wo die BS-Maske einen tiefen Graben DT (Fig. 2B) schneidet. Bezogen auf Fig. 1 wurde bereits ausgeführt, dass kein direk-
15 ter Zugang von außen zu den Drainelektroden der vertikalen Transistoren bzw. zu den vergrabenen Drainkontakten möglich ist.

Um eine Aussage über die bzw. eine Erfassung der Kennwerte der vertikalen FET-Transistoren zu ermöglichen, bildet das in
20 den Fig. 2A-2C veranschaulichte erste Ausführungsbeispiel der integrierten Teststruktur eine "Rücken an Rücken"-Verbindung zwischen jeweils zwei benachbarten, seitlich versetzten vertikalen Auswahltransistoren, da bei einem solchen vertikalen Transistor die vergrabenen Drainelektroden (gebildet bei der
25 Überschneidung der BS-shape mit dem tiefen Graben DT und dem aktiven Steg AT) nicht zugänglich sind. Insgesamt zeigt Fig. 2A vier Paare von durch die diagonalen DT-Abschnitte miteinander verbundenen FET-Auswahltransistoren. Um diese Verbindung herzustellen, weist die integrierte Teststruktur als
30 erste Verbindungsmittel zwischen je zwei gepaarten seitlich versetzten FET-Auswahltransistoren die diagonal ausgedehnten und mit dem leitenden Elektrodenmaterial verfüllten tiefen Gräben DT auf. Zweite Verbindungsmittel, nämlich Sourcekontakte CB verbinden die so gebildete Teststruktur mit separa-
35 ten Bitleitungen BL an Punkten, die in den Fig. 2A und 2B jeweils mit E und A kenntlich gemacht sind.

Fig. 2B zeigt eine schematische Querschnittsansicht durch einen Abschnitt der Fig. 2A mit zwei auf diese Weise Rücken an Rücken verbundenen vertikalen Auswahltransistoren. In Fig. 2A ist die zwischen E und A verlaufende Schnittlinie durch Pfeile angedeutet. Fig. 2B zeigt deutlich, dass die beiden FET-Auswahltransistoren (1. Transistor (links), 2. Transistor (rechts)) Rücken an Rücken über ihre Drainelektroden durch einen ausgedehnten tiefen Graben DT miteinander verbunden sind. Dieser tiefe Graben DT ist wie die Speicherkondensatoren, die zuvor anhand der Fig. 1 beschrieben worden sind, mit leitendem Elektrodenmaterial, zum Beispiel mit Polysilizium gefüllt. Der Strompfad geht von dem mit E bezeichneten CB-Kontakt durch den ersten Transistor (links) in das Polysilizium des tiefen ausgedehnten Grabens DT und dann durch den zweiten Transistor (rechts) zu dessen mit A angedeutetem CB-Kontakt. Wie erwähnt, sind die CB-Kontakte E und A des ersten und zweiten Auswahltransistors jeweils mit einer eigenen Bitleitung BL verbunden.

Weiterhin ist zu bemerken, dass die durch die erfindungsgemäße Teststruktur miteinander verbundenen beiden Auswahltransistoren separate Wortleitungen WL haben, die eine unabhängige Steuerung der Gates der beiden Auswahltransistoren ermöglichen.

Fig. 2C zeigt ein Ersatzschaltbild der in den Fig. 2A und 2B dargestellten Teststruktur mit diskreten Elementen. Von dem an einer Bitleitung BL-i angeschlossenen Eingang E geht der Strompfad durch einen CB-Kontakt CB_{links} , einen linken vertikalen Auswahltransistor T1, einen linken vergrabenen Streifen RBS, den diagonal ausgedehnten tiefen Graben DT, einen rechten vergrabenen Streifen RBS, einen rechten vertikalen Auswahltransistor T2, einen rechten CB-Kontakt CB_{rechts} zum Ausgang A, der mit einer zweiten parallelen Bitleitung BL-o verbunden ist. Ein zweites Paar derartig miteinander verbundener vertikaler Auswahltransistoren T1 und T2 ist mit den-

selben Bitleitungen BL-i, BL-o verbunden. Wie zuvor erwähnt, sind prinzipiell die Gates der drainseitig durch den tiefen Graben DT miteinander verbundenen Transistoren T1, T2 unabhängig voneinander durch die in Fig. 2C beispielhaft mit WL10 und WL11 angedeuteten separaten Wortleitungen steuerbar.

Dasselbe gilt für das rechts gezeigte miteinander verbundene Paar von Auswahltransistoren T1 und T2, deren Gates prinzipiell unabhängig voneinander durch die mit ihnen verbundenen separaten Wortleitungen, hier durch die Wortleitungen WL12 und WL13 angedeutet steuerbar sind.

Fig. 2C zeigt durch gestrichelte Linien eine Möglichkeit auf, die Wortleitungen WL 10 und WL 12 der jeweils linken vertikalen Auswahltransistoren T1 miteinander und die Wortleitungen WL11 und WL13 der beiden rechten vertikalen Auswahltransistoren T2 miteinander zu verbinden. Das heißt, dass zum Beispiel jeweils alle geraden oder alle ungeraden Wortleitungen miteinander verbunden sind, um dadurch eine parallele Ansteuerung der Gates einer Reihe von Teststrukturen zu ermöglichen. Das in Fig. 2C gezeigte Ersatzschaltbild macht deutlich, dass beide gepaarte Transistoren T1, T2 immer seriell betrieben werden.

Während in der zuvor beschriebenen, in den Fig. 2A - 2C dargestellten Schaltungsanordnung beispielhaft jeweils zwei seitlich versetzte vertikale Auswahltransistoren durch die erfindungsgemäße Teststruktur Rücken an Rücken miteinander verbunden sind, wird nun anhand der Fig. 3A und 3B ein Ausführungsbeispiel einer Teststruktur beschrieben, die eine größere Anzahl vertikaler Auswahltransistoren kettenförmig verbindet.

Fig. 3A zeigt ähnlich wie Fig. 2A einen Abschnitt eines Transistorarrays mit vertikal angeordneten aktiven Stegen AT und einer horizontal angedeuteten, eine Bitleitung realisierende, Metallebene M0. Ebenfalls zeigt Fig. 3A die Layoutrepräsentation

tion eines vergrabenen Streifens BS, der die Drainelektroden der vertikalen Auswahltransistoren an der Überschneidung BS-shape mit dem tiefen Graben DT und aktivem Steg AT bildet. Der tiefe Graben DT hat, wie Fig. 3A zeigt, die Form eines

5 Zickzackstreifens. Die von der erfindungsgemäßen integrierten Teststruktur gebildete Kette verbindet zehn Transistoren DUT miteinander, und zwei äußerste zusätzliche vertikale Auswahltransistoren dienen jeweils als linker und rechter komplexer Drainanschluss E, A. Die in den Fig. 3A und 3B dargestellte

10 integrierte Teststruktur ermöglicht somit den zu Messzwecken nötigen Zugang zu den vergrabenen Strukturen (etwa an den Drains) der vertikalen Auswahltransistoren, wobei stromloser und stromtragender Zugang separat vorhanden sind. Zur besseren Übersicht sind die Wortleitungen in Fig. 3A weggelassen,

15 obwohl sie in Wirklichkeit parallel zu den aktiven Stegen AT liegen. Der zickzackförmig verlaufende tiefe Graben DT setzt sich aus diagonalen DT-Abschnitten zusammen, die prinzipiell in derselben Weise gebildet sind, wie zuvor anhand der Fig. 2A und 2B beschrieben worden ist. In Fig. 3B zeigt das Er-

20 satzschaltbild der in Fig. 3A schematisch als Layout dargestellten Teststruktur. Der lange zickzackförmige DT besteht aus den Abschnitten DT0 bis DT11 und verbindet zwölf vertikale Auswahltransistoren T0 bis T11, von denen die zehn inneren das Testobjekt DUT bilden. Der vertikale Auswahltransistor T0

25 links außen bildet den linken Anschluss E. Der vertikale Auswahltransistor T11 rechts außen bildet den Anschluss A. Sämtliche Sourceanschlüsse sind durch CB (Sourcekontakte zur Bitleitung) nach außen geführt. Die durch die Metallebene M0 gebildete Bitleitung ist allen Sourceanschlüssen der zehn

30 durch die erfindungsgemäße Teststruktur zu testenden Auswahltransistoren DUT1 - DUT10 gemeinsam, während die CB-Anschlüsse für die FET-Auswahltransistoren T0 und T11 links und rechts separat ausgeführt sind.

35 In einer Ausführungsform, die nicht gesondert dargestellt ist, weist die erfindungsgemäße Teststruktur mehrere Ketten

mit jeweils unterschiedlicher Anzahl von miteinander verbundenen Auswahltransistoren auf, wobei die jeweilige Anzahl der durch die Testketten miteinander verbundenen FET-Auswahltransistoren deutlich unterschiedlich ist. So können
5 beispielsweise jeweils 2, 10, 80 usw. vertikale Auswahltransistoren miteinander verbunden sein.

Wie bereits anhand der Fig. 3A und 3B ausgeführt, können die durch die erfindungsgemäße Teststruktur miteinander verbundene
10 Auswahltransistoren entweder in Reihe oder durch Verbindung entsprechender Wortleitungen und Bitleitungen miteinander parallel geschaltet sein. Die in den Fig. 3A und 3B dargestellte Transistortestkette gestattet auch die Eigenschaften der links- und rechts außen als komplexe Drainteile wirkenden vertikalen FET-Transistoren T0 und T11 zu evaluieren,
15 da diese einen Einfluss auf die Messwerte der eigentlich zu messenden miteinander verbundenen vertikalen FET-Transistoren ausüben können. Insbesondere durch die Messung der Eigenschaften von Testketten mit jeweils unterschiedlicher Anzahl der verbundenen vertikalen FET-Transistoren kann ein auf
20 diese Anschlusstransistoren zurückzuführender Offset erkenntlich werden.

Durch Hochlegen der Wortleitungen WL_{links} und WL_{rechts} des Transistors T0 und des Transistors T11 werden diese geöffnet und erlauben damit eine Erfassung von Leckströmen in die vergrabenen Streifen BS hinein sowie in diverse Halbleiterübergänge in der Nähe der vergrabenen Streifen BS.
25 Insgesamt ermöglicht eine mit einer derartigen Teststruktur ausgestattete integrierte Schaltungsanordnung die Messung und die Auswertung von Leckströmen an unterschiedlichen Halbleiterübergängen, eine Messung und Auswertung von Kapazitäten und Überlappkapazitäten zwischen unterschiedlichen Abschnitten der integrierten Schaltungsanordnung sowie einen Stress-
30 test zur Ermittlung der Zuverlässigkeit der gesamten integrierten Schaltungsanordnung.
35

Patentansprüche

1. Integrierte Schaltungsanordnung mit einem Transistorarray aus vertikalen FET-Auswahltransistoren, die in die Tiefe
5 eines Substrats hinein in Form paralleler und in Lateralrichtung der Schaltungsanordnung laufender aktiver Stege (AT) aus Halbleitermaterial gebildet sind und deren Drainanschlüsse durch unter den aktiven Stegen (AT) vergrabene leitende
10 Streifen (BS) und deren Gates durch einen an der Seite der aktiven Stege vertikal geätzten Spacer gebildet sind, wobei die vergrabenen Streifen (BS) jeweils Kontakt zu einer Elektrode eines Speicherkondensators eines dem Transistorarray zugeordneten Speicherzellenarrays herstellen und der vertikal geätzte Spacer gleichzeitig eine Wortleitung für die Speicherzellen des Speicherzellenarrays bildet und wobei jeder
15 Speicherkondensator in einem tiefen Graben (DT) gebildet ist, der jeweils einen den Auswahltransistor enthaltenden Abschnitt des aktiven Stegs (AT) stirnseitig begrenzt und der mit leitendem Elektrodenmaterial gefüllt ist,
20 d a d u r c h g e k e n n z e i c h n e t ,
dass in die integrierte Schaltungsanordnung eine Teststruktur integriert ist, die zur gemeinsamen Verbindung der Drainanschlüsse einer Mehrzahl solcher vertikaler Auswahltransistoren (T1, T2; T0, T1, T2, ..., T11) als erste Verbindungsmittel jeweils zwischen zwei benachbarten seitlich versetzten vertikalen FET-Transistoren (T1, T2) diagonal ausgedehnte und mit dem leitenden Elektrodenmaterial gefüllte tiefe Gräben (DT; DT0, DT1, ..., DT11) aufweist, wobei die dort vorhandenen vergrabenen Streifen (BS) die Drainelektroden der vertikalen Auswahltransistoren an der Überschneidung der BS-Streifenform mit dem diagonal ausgedehnten tiefen Graben (DT; DT0, DT1, ..., DT11) und aktivem Steg (AT) bilden.

2. Integrierte Schaltungsanordnung nach Anspruch 1,
35 d a d u r c h g e k e n n z e i c h n e t ,

dass die Teststruktur zweite Verbindungsmittel (CB, BL) zur gemeinsamen Verbindung der Sourceelektroden der durch die Teststruktur umfassten vertikalen Auswahltransistoren (T1, T2; T0, T1, T2, ..., T11) aufweist.

5

3. Integrierte Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, dass die zweiten Verbindungsmittel Bitleitungskontakte (CB) und Bitleitungen (BL) der vertikalen Auswahltransistoren (T1, T2; T0, T1, T2, ... T11) umfassen.

10

4. Integrierte Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die benachbarten Auswahltransistoren (T1, T2) um jeweils eine Zelleneinheit oder mehrere Zelleneinheiten seitlich versetzt sind und jeweils ein tiefer Graben (DT; DT0, DT1, ..., DT11) diagonal zwischen jeweils zwei seitlich versetzten vertikalen Auswahltransistoren ausgedehnt ist.

20

5. Integrierte Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Teststruktur mehrere Ketten einer Vielzahl jeweils miteinander verbundener vertikaler Auswahltransistoren (T1, T2; T0, T1, T2, ..., T11) aufweist, wobei die diagonal ausgedehnten tiefen Gräben (DT, DT0, DT1, ..., DT11) jeder Kette einen zickzackförmigen Verlauf zwischen den miteinander verbundenen Auswahltransistoren (T0, T1, T2, ..., T11) haben.

30

6. Integrierte Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet, dass die Anzahl der durch die Teststruktur miteinander verbundenen Auswahltransistoren jeder Kette deutlich unterschiedlich ist.

35

7. Integrierte Schaltungsanordnung nach einem der vorangehen-
den Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass die beiden äußersten Auswahltransistoren (T0, T11) einer
5 Kette der Teststruktur mit ihren Sourceanschlüssen separat
durch CB-Kontakte (CB) mit jeweils einer zugehörigen Bitlei-
tung (BL) verbunden sind.

Zusammenfassung

Integrierte Schaltungsanordnung

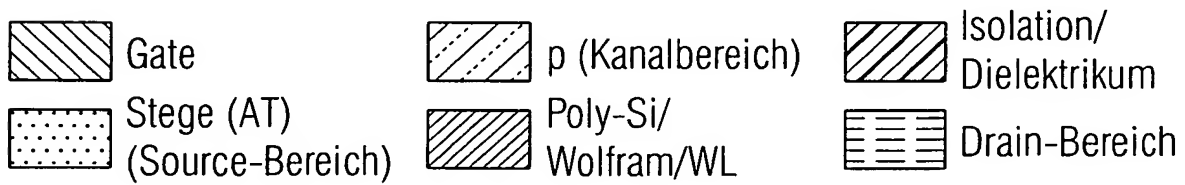
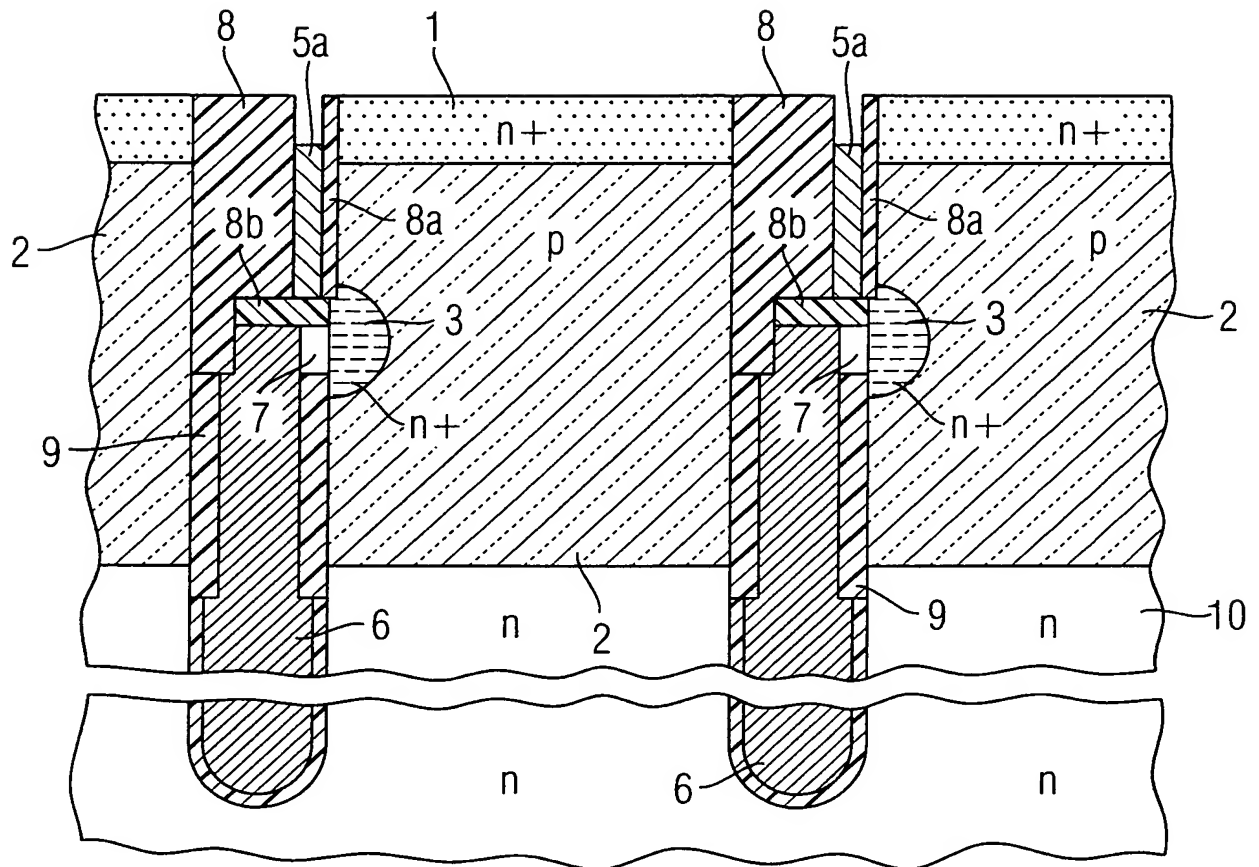

- 5 Bei einer integrierten Schaltungsanordnung, die vertikale FET-Auswahltransistoren und vertikal in die Tiefe eines Substrats in tiefen Gräben (DT) gebildete Speicherkondensatoren jeweils eines Transistorarrays und eines zugeordneten Speicherzellenarrays aufweist, ist eine Teststruktur integriert,
- 10 die eine Mehrzahl vertikaler FET-Auswahltransistoren (T1, T2) miteinander durch ein in einem ausgedehnten tiefen Graben (DT) eingebettetes leitendes Elektrodenmaterial ermöglicht. Mit einer derartigen Teststruktur können Kennwerte für Leckströme und Kapazitäten an verschiedenen Halbleiterübergängen
- 15 sowie zwischen verschiedenen Abschnitten der integrierten Schaltungsanordnung evaluiert sowie Zuverlässigkeitsstress-tests ausgeführt werden.

(Fig. 3B)


Bezugszeichenliste

1	Sourceelektrode (aktiver Steg)
2	Kanal bildender P-Bereich
3	Drainelektrode (vergrabener Streifen DS)
5a	Abschnitt der Gateelektrode (Wortleitung WL)
6	Kondensatorelektrode
8, 8a, 8b	Isolierschichten
9	Dielektrikum
10	Substrat
AT	aktiver Steg
BL	Bitleitung
CB	Kontakt zur Bitleitung (Sourcekontakt)
BS	vergrabener leitender Streifen
DT	ausgedehnter tiefer Graben bzw. zickzackförmiger tiefer Graben
A	Ausgang durch CB von der Bitleitung BL
E	Eingang durch CB zur Bitleitung BL
T0, T1, T2, ..., T11	vertikale FET-Transistoren
DUT	Device under Test
M0	Metallebene 0

FIG 1


 Gate

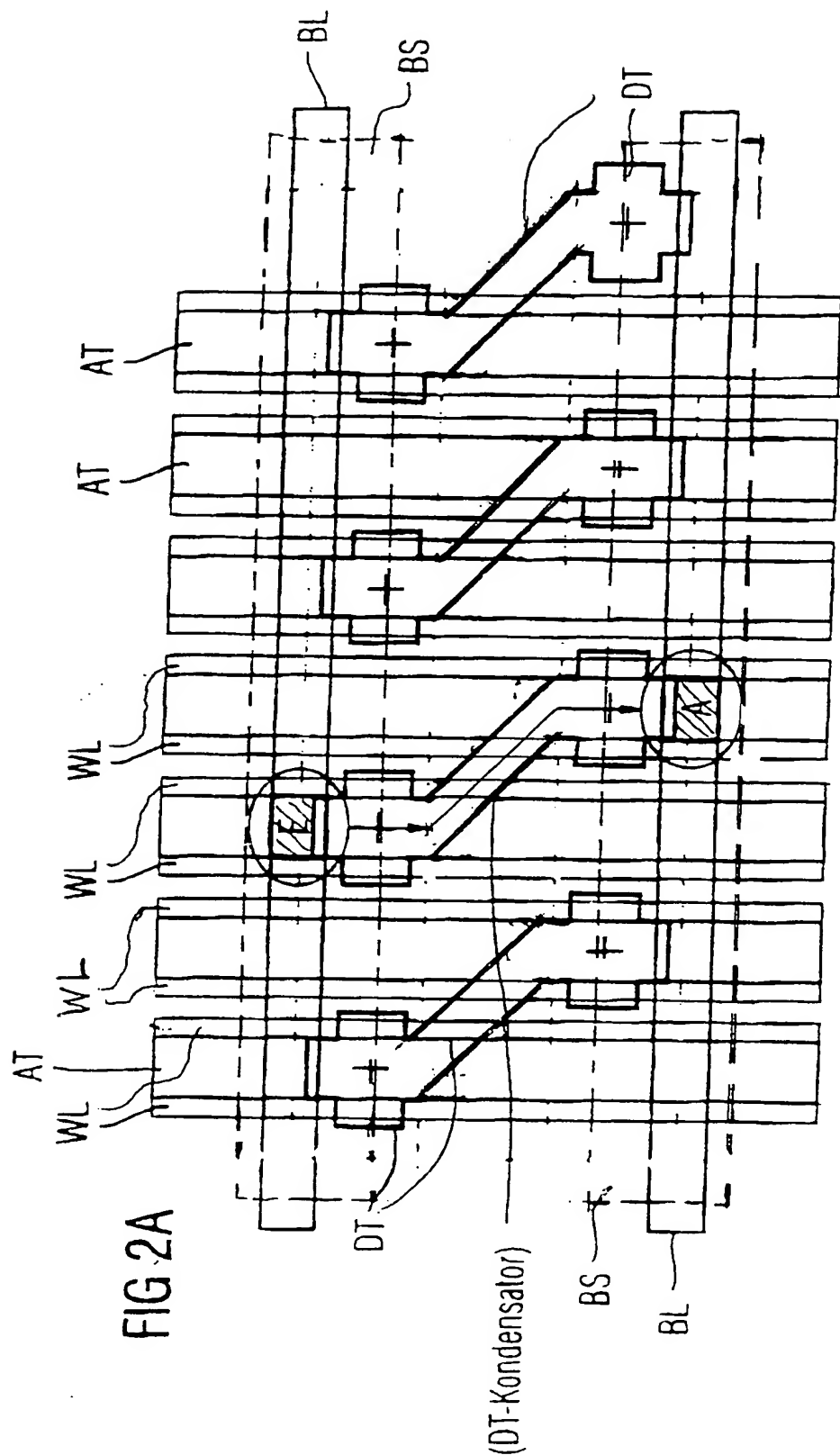
Stege (AT)
(Source-Bereich)

 p (Kanalbereich)

 Poly-Si/
Wolfram/WL

 Isolation/
Dielektrikum

 Drain-Bereich



E: Eingang durch CB zur Billeitung BL
A: Ausgang durch CB zur Billeitung BL

A: Ausgang durch CB zur Bitleitung BL

vergrabener Streifen (BS)

diagonaler tiefer Graben DT

CB-Kontakte zur Bitleitung
(Source-Kontakte)

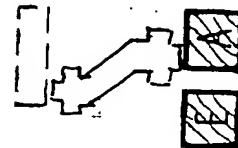


FIG 2B

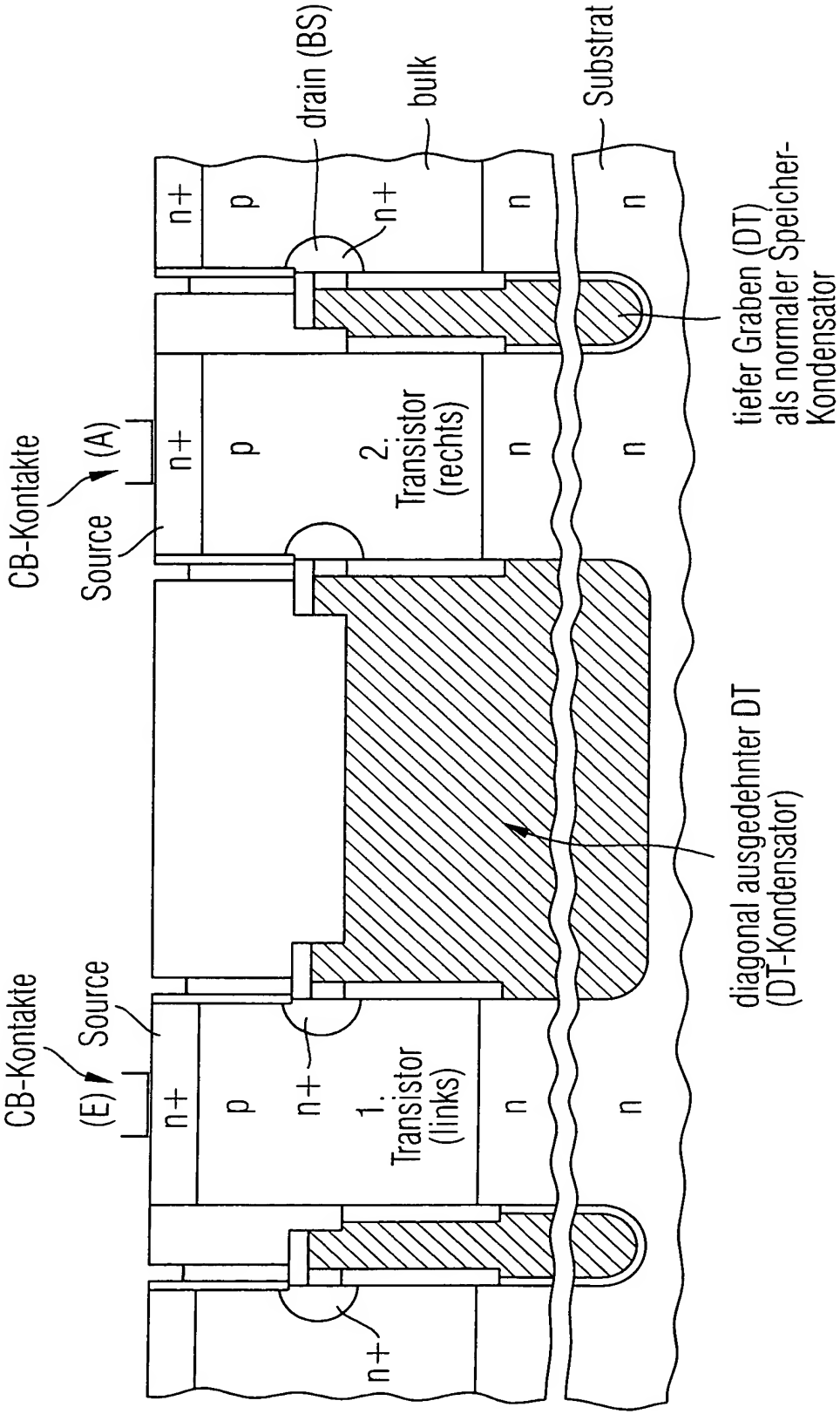


FIG 2C

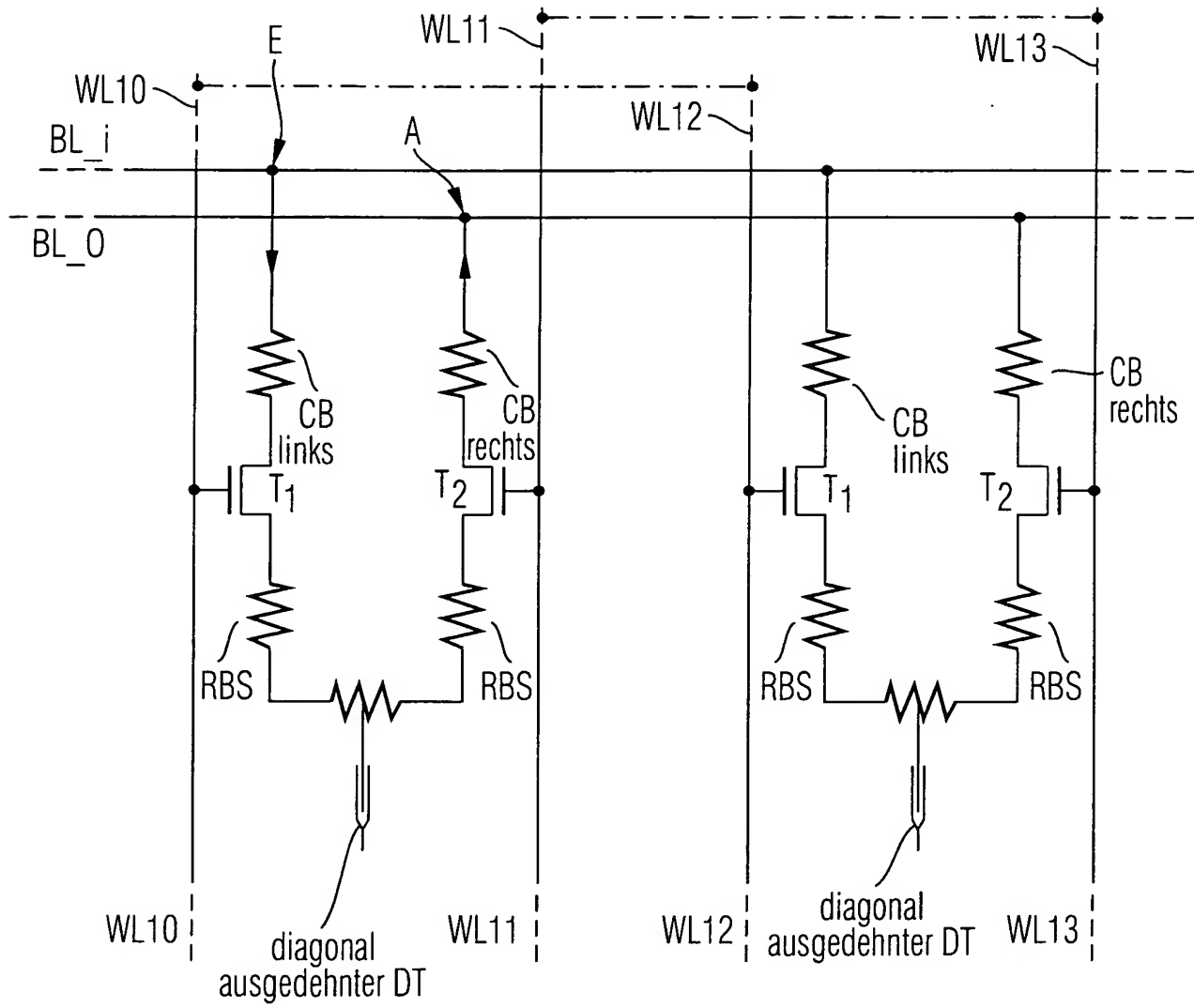


FIG 3A

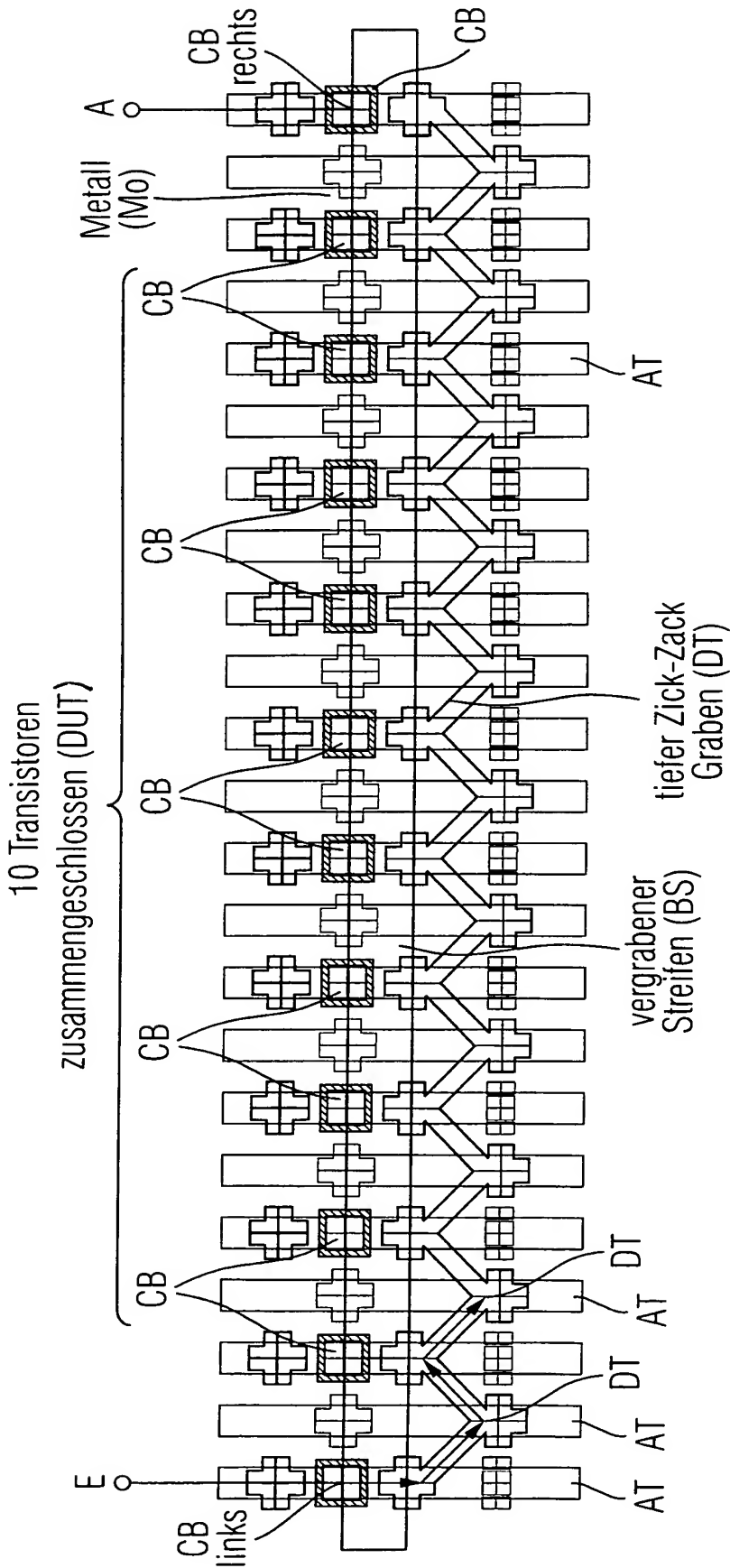
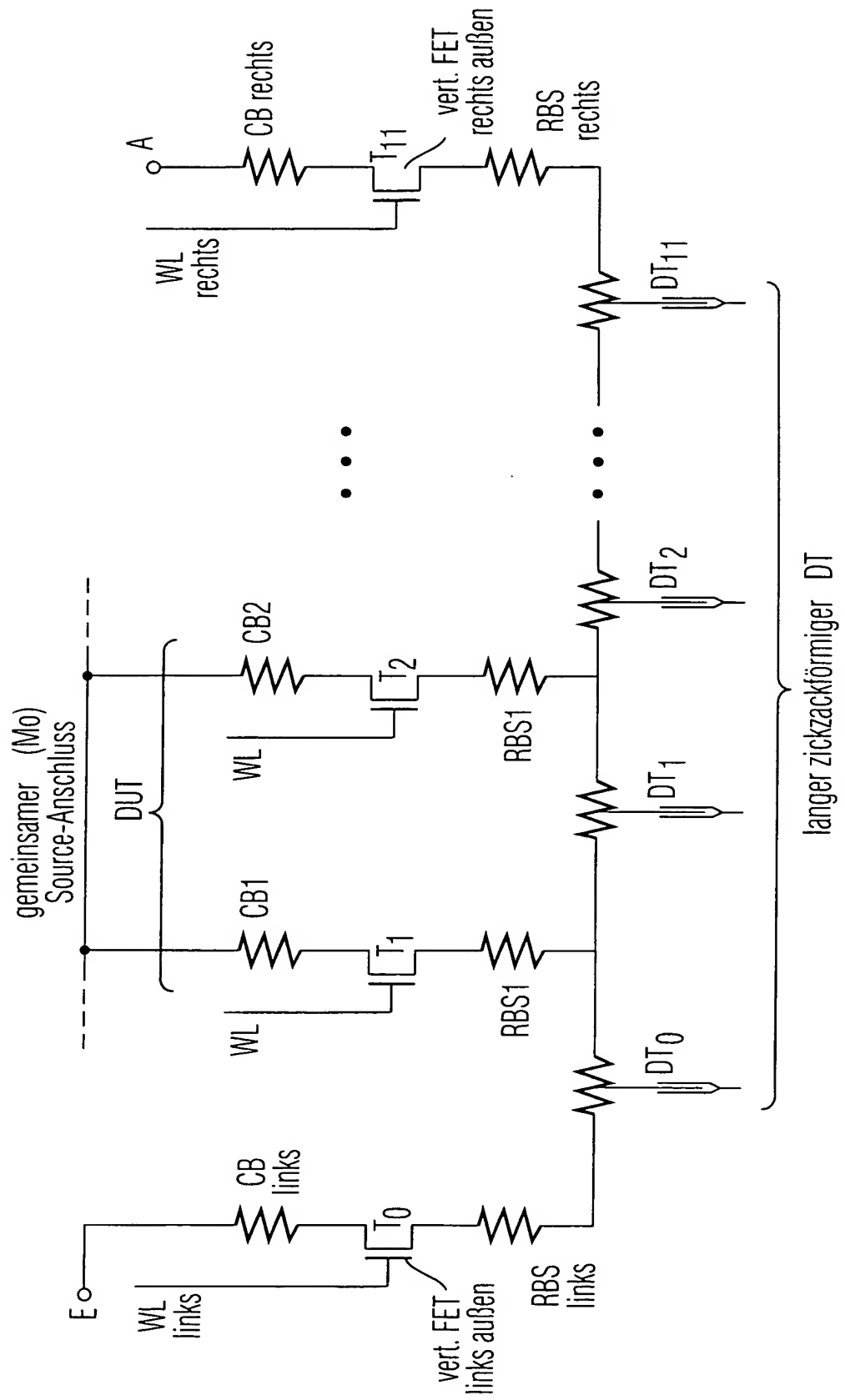


FIG 3B



Figur für die Zusammenfassung

FIG 3B

